

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-41860

(43)公開日 平成10年(1998) 2月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	3/23		H 0 4 B	3/23
H 0 4 M	1/60		H 0 4 M	1/60
				C

審査請求 未請求 請求項の数1 F D (全 8 頁)

(21)出願番号 特願平8-209396

(22)出願日 平成8年(1996) 7月22日

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 手嶋 功

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

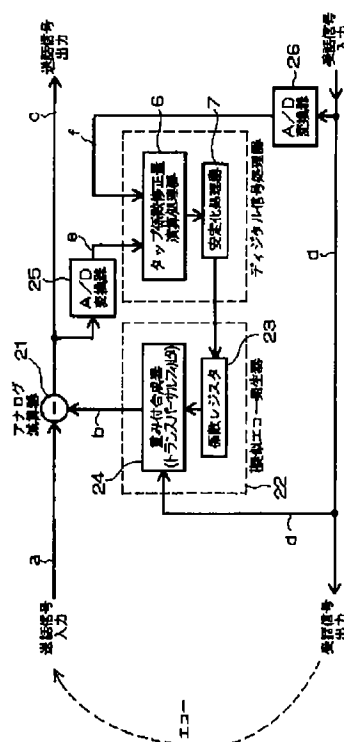
(74)代理人 弁理士 大塚 学

(54)【発明の名称】 エコーキャンセラ

(57)【要約】

【課題】インパルス応答時間の長い音響エコーをキャンセルするための演算処理量の多い擬似エコーを生成する回路規模を小さくし処理時間を短縮して低消費電力化を図る。

【解決手段】送話信号と受話信号をそれぞれA/D変換器25、26でデジタル化し、残留エコーのインパルスレスポンスを推定してタップ係数を算出するタップ係数修正量演算処理器6と安定化処理器7のみをデジタル処理する。そのタップ係数によって重み付けを施し合成して擬似エコーbを求めるトランスバーサルフィルタ演算をアナログ処理で行うことにより処理速度を高めた。



【特許請求の範囲】

【請求項1】 音響エコーが重畳されたアナログ入力送話信号から擬似エコー信号を差し引いて送話信号を出力するアナログ減算器と、
該アナログ減算器の出力をディジタル変換する第1のA/D変換器と、
通話相手からのアナログ入力受話信号をディジタル変換する第2のA/D変換器と、
該第1のA/D変換器と第2のA/D変換器のディジタル出力から残留エコーのインパルスレスポンスを推定しタップ係数を算出するタップ係数算出器と、
前記アナログ入力受話信号をシフトレジスタで遅延させて得られる複数のタップ出力を前記タップ係数算出器から得られるタップ係数によって重み付けした後加算した重み付け合成出力を前記擬似エコーとして前記アナログ減算器に入力する擬似エコー発生器とが備えられたことを特徴とするエコーキャンセラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エコーキャンセラに関し、特に、電話を用いて通話を行う拡声通信において室内の反響によって廻り込む音響エコーを除去するためのエコーキャンセラに関するものである。

【0002】

【従来の技術】図9は電話網における回線エコーの説明図である。電話による音声通信系において、長距離回線は、図9に示すように両端の加入者回線は2本の線路で送受を行う2線式回線であり、それらを結ぶ長距離回線は信号の増幅の必要性から送受各々に別の線路を用いる4線式回線で構成されている。2線式回線と4線式回線の接続にはハイブリッドコイルHが用いられるが、接続点におけるインピーダンス不整合により受話信号の一部が送話路へ漏れ込む。この反射がエコーと呼ばれる。通話者は遅延を伴った自分のエコーを聞きながら話すことになり、話しづらく通話がスムーズに進まなくなる。

$$y_i = \sum_{j=0}^{N-1} g_j \cdot x_{i-j} + n_i \quad (1)$$

$$z_i = \sum_{j=0}^{N-1} h_j \cdot x_{i-j} \quad (2)$$

$$e_i = y_i - z_i \quad (3)$$

ここで、 n_j はエコー路で加わった雑音（や、近端話者の音声）である。

【0008】擬似エコー路のインパルス応答 h_j の推

【0003】また、テレビ会議や自動車電話でのハンズフリー通話などの拡声通信系の場合も、上記回線エコーと同様に、スピーカからマイクロホンに廻り込む音響エコーが問題となる。図10は音響エコーの説明図である。音響エコーは、図10に示すように、スピーカからマイクロホンへの直接波と、室内の壁面等での多重反射からもたらされる間接波すなわち残響とを重ね合わせたものである。音響エコーは単にエコーにとどまらずハウリング発生の原因にもなる。

【0004】従来、これらエコーの問題に対し、エコーサプレッサが用いられてきた。エコーサプレッサは、スイッチ動作によりエコーを抑圧しているため、相手の音声の一部が途切れたり、エコーが漏れたりする場合があります。通話品質の面で劣化は避けられない。そこで、これらの欠点を原理的に解決するため、近年ではエコーキャンセラが用いられている。

【0005】図11はエコーキャンセラの原理説明図である。エコーキャンセラは、4線区間に挿入されて設置局から加入者側をみたエコー路の伝達特性を適応的に推定して擬似エコー信号を出力する擬似エコー発生器と、実際のエコー信号を含んだ送話信号から擬似エコーを差し引く減算器とから構成されている。擬似エコー発生器としてはFIRフィルタすなわちトランスバーサルフィルタが用いられ、そのフィルタ係数の修正アルゴリズムとして学習同定法を用いたものが多く報告されている。

【0006】ここで、学習同定法のアルゴリズムについて簡単に説明する。ある時刻*j*における受話信号を x_j 、エコー路のインパルス応答を g_i ($i=0, 1, 2, \dots, N-1$)、擬似エコー発生器でのインパルス応答の推定値を g_i^j ($i=0, 1, 2, \dots, N-1$)、とすると、エコー信号を含む送話側入力信号 y_j 、擬似エコー信号 z_j 、送話側出力信号（誤差信号） e_j はそれぞれ次式で与えられる。

【0007】

【数1】

定値は次のように逐次的に求められる。

【0009】

【数2】

$$h_{i+1} = h_i + \Delta h_i \quad (4)$$

ただし、

$$\Delta h_i = K \cdot e_i \cdot x_{i-1} / \sum_{i=0}^{N-1} x_{i-1}^2 \quad (5)$$

ここでKは修正係数で、あり $0 < K < 2$ が安定条件である。Nはタップ数である。

【0010】図12は従来のエコーキャンセラの構成例図であり、回線エコーを除去するために用いられているエコーキャンセラである。図において、1、9は入力送話信号a、入力受話信号dをディジタル変換するA/D変換器、2はエコーを含んだディジタル送話信号a'から擬似エコー信号b'を減算する減算器、3は擬似エコー発生器、4は係数レジスタ、5はトランスバーサルフィルタ、6はタップ係数修正量演算処理器、7は安定化処理器、8、10はディジタル送話信号e、ディジタル受話信号fをアナログ変換して出力するD/A変換器である。この回路全体は、破線で囲ったようにDSP（ディジタルシグナルプロセッサ：ディジタル信号処理器）で処理されている。

【0011】エコーキャンセラをハードウェアの観点から眺めると、エコー消去という目的は同一であっても、適用目的によっては要求される性能が大きく異なる。電話回線の2線4線変換点におけるインピーダンス不整合によって生じる回線エコーは数十ms程度であるのに比べ、音響エコーはスピーカとマイクロホン間の信号伝搬速度が非常に遅い音響的回り込み信号を対象としているため消去すべきエコー路のインパルス応答時間は2百数十msにわたる場合もある。

【0012】従って、エコーキャンセラの設計において、エコー消去の対象となるエコー路の最大インパルス応答時間Dを推定する必要がある。そして、エコーキャンセラの擬似エコー路の最大インパルス応答時間は、推定されたエコー路の最大インパルス応答時間Dに等しいか、またはそれをカバーするように設計しなければならない。エコーキャンセラの擬似エコー路（発生器）3をトランスバーサルフィルタ5で構成する場合において、最大インパルス応答時間をDに等しく選び、トランスバーサルフィルタのタップ数をN、タップ時間間隔をTとした時、次式が成立する。

【0013】

$$[数3] D = N \times T \quad (6)$$

【0014】

【発明が解決しようとする課題】従って、消去すべきエコー路の最大インパルス応答時間Dとタップ時間間隔Tが与えられると、エコーキャンセラのタップ数Nは(6)式から求められる。回線エコーの場合の例として、インパルス応答時間Dが40ms、タップ時間間隔Tが125μsの時、タップ数Nは320タップとな

る。一方、音響エコーの場合の例として、インパルス応答時間Dが250ms、タップ時間間隔Tが125μsの時、タップ数Nは2000タップとなる。これはハードウェアの処理量で比較すると回線エコーの場合の4～5倍になる。すなわち、従来の回路において積和演算を行うトランスバーサルフィルタは、タップ数に比例して演算量が増加する。そのため音響エコーの場合は、従来のトランスバーサルフィルタを実現しているDSPの回路規模が大きく、処理時間が長くなり、消費電力も多いという問題が生じている。

【0015】本発明は、上記の事情に鑑みてなされたもので、インパルス応答時間の長い音響エコーのキャンセルを対象とし、積和演算を高速に実行できるアナログ回路をトランスバーサルフィルタ演算に用いることで、擬似エコーの生成を高速に実行でき、回線規模が小さく消費電力の少ないエコーキャンセラを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明のエコーキャンセラは、音響エコーが重畳されたアナログ入力送話信号から擬似エコー信号を差し引いて送話信号を出力するアナログ減算器と、該アナログ減算器の出力をディジタル変換する第1のA/D変換器と、通話相手からのアナログ入力受話信号をディジタル変換する第2のA/D変換器と、該第1のA/D変換器と第2のA/D変換器のディジタル出力から残留エコーのインパルスレスポンスを推定しタップ係数を算出するタップ係数算出器と、前記アナログ入力受話信号をシフトレジスタで遅延させて得られる複数のタップ出力を前記タップ係数算出器から得られるタップ係数によって重み付けした後加算した重み付け合成出力を前記擬似エコーとして前記アナログ減算器に入力する擬似エコー発生器とが備えられたことを特徴とするものである。

【0017】

【発明の実施の形態】本発明では、上記課題を解決するために、従来トランスバーサルフィルタをDSP等のディジタル信号処理で実現していたものを、アナログ回路で処理することによって高速に擬似エコーを生成できるようにしたので、回路規模も小さく済み、消費電力も抑えられるようになった。

【0018】すなわち、本発明は、アナログ送話信号からアナログ擬似エコーを減算するアナログ減算器と、擬似エコーが減算された送話信号を出力するとともに、ディジタル信号に変換した送話信号から残留エコーのイン

パルスレスポンスを推定しタップ係数を算出するタップ係数算出手段と、アナログ受話信号を遅延させるシフトレジスタの各タップから出力されるデジタル信号をタップ係数で重み付けして合成演算を行い擬似エコーを生成して減算器に与えるように構成したエコーキャンセラである。

【0019】

【実施例】図1は本発明の実施例を示す回路構成例図であり、アナログ重み付け合成器24とアナログ減算器21を用いたエコーキャンセラである。図において、本発明では、タップ係数修正量演算処理器6と安定化処理器7のみをデジタル信号処理器でデジタル処理し、減算器21と擬似エコー発生器22の重み付け合成器24をアナログ処理するように構成したことを要旨とするものである。

【0020】図1に示した本発明の実施例の動作を説明する。本実施例の回路素子は8kHzのシステムクロックCKで動作することとする。まず、送話信号aは、減算器21によって擬似エコーbが差し引かれて残留エコーを含んだ送話信号cが出力される。動作開始直後は擬似エコーbが生成されていないため、エコーを含んだ送話信号aがそのまま出力cとして出力される。

【0021】次に、減算器21から出力される送話信号cはA/D変換器25によってA/D変換されタップ修正量演算処理器6に入力される。同時に、受話信号入力dもA/D変換器26でデジタル変換されタップ修正量演算処理器6に入力される。入力されたそれぞれの信号e, fから学習同定法などによってタップ係数、すなわちエコー路のインパルスレスポンスが求められる。次に、安定化処理器7によってタップ修正量演算処理器6によって求められたタップ係数がエコー路からの外部雑音などの影響によって生じる誤差を一方方向に蓄積しないように制御する。

【0022】次に、タップ係数を係数レジスタ23に入力する。次に、受話信号dと係数レジスタ23に格納されているタップ係数を同時に重み付け合成器24に入力する。重み付け合成器24はトランスバーサルフィルタ演算を実行し、擬似エコーbを生成する。次に、アナログ減算器21によって入力送話信号aから擬似エコーbを差し引く。この一連の処理を繰り返すことで、エコーを含んだ送話信号からエコーを取り除くことができる。

【0023】図2は、本発明の要部をなす図1に示したアナログ回路で構成された重み付け合成器24の回路例図である。本回路は積和演算が高速に実行できる回路である。図において、31は複数の遅延器（シフトレジスタ）からなる遅延回路、32は重み付け器、33は加算器である。

【0024】ここで、重み付け合成器24について簡単に説明する。まず遅延回路31について説明する。遅延回路31はアナログシフトレジスタによって構成されて

いる。図3はアナログシフトレジスタの構成例図である。アナログシフトレジスタはバッファ40と、サンプルホールド回路41～43とで構成されており、 $TP_1 \sim TP_n$ はシフトした信号（タップ出力）の出力端子である。受話信号dは、バッファ40を経由して1段目のサンプルホールド回路41に入力される。1段目のサンプルホールド回路41ではクロックCKの立ち上がり同期して入力信号をサンプル保持しタップ出力端子 TP_1 に出力する。2段目のサンプルホールド回路42も同様に前段のサンプルホールド回路41の出力をサンプルして、1クロック遅らせて次段と TP_2 に出力している。3段目以降も同様に1段について1クロックずつ信号をシフトさせn段のアナログシフトレジスタとして動作し、 $TP_3 \sim TP_n$ に出力する。

【0025】図4は図3に示したサンプルホールド回路とバッファの回路例図であり、(A)はサンプルホールド回路の構成例を、(B)、(C)はバッファの構成例を示している。図4(A)はバッファ201, 204, 207とクロックCKがL（ロー）の時にONになりH（ハイ）の時にOFFになるスイッチ202と、CKがHの時にONになりLの時にOFFになるスイッチ205と、コンデンサ203, 206とで構成されている。

【0026】図5は、図4(A)のサンプルホールド回路の動作を説明する波形例図である。入力信号 S_{in} はバッファ201を経由し、クロックCKがLでスイッチ202がONの時はコンデンサ203に信号が伝達され、クロックCKがHでスイッチ202がOFFになるとコンデンサ203に入力された信号は保持される。このときの入力信号 S_{in} に対するコンデンサ203の動作をバッファ204を経由した出力をA点としている。同様にクロックCKがHでスイッチ205がONの時はコンデンサ206に信号が伝達され、クロックCKがLでスイッチ205がOFFになるとコンデンサ206に入力された信号は保持され、バッファ207を経由して出力信号 S_{out} となる。

【0027】図4(B), (C)はバッファ40の構成例であり、(B)はオペアンプ301を用いたボルテージホロワ回路、(C)はインピーダンス素子401, 402とオペアンプ403で構成した反転バッファである。これらバッファとサンプルホールド回路は、ともに公知の技術として知られている。サンプルホールド回路は、これら公知の技術を組み合わせることにより容易に構成が可能である。

【0028】図6は図2に示した複数の重み付け器32のそれぞれの回路例図である。図中の、 Z_i ($i=1, 2, \dots, n$)は入力側のインピーダンスであり、(7)式に示すようにコンデンサで構成される。

【0029】

【数4】

$$Z_i = \frac{1}{j\omega C_i} \quad (7)$$

$$i=0, 1, 2, \dots, n$$

【0030】ここで、 n はA/D変換器の量子化ビット数に対応し、 $n=16$ とする。各コンデンサ C_i ($i=1, 2, \dots, n$)の容量は重み付けデータのMSBに近いほど大きな値を持っている。16ビットの重み付けデータの各ビットの値によりスイッチをON/OFFする。これにより、 Z_i ($i=1, 2, \dots, n$)または C_i ($i=1, 2, \dots, n$)の総和の値を制御する。帰還インピーダンス Z_f は(8)式で表現される。

【0031】

【数5】

$$Z_f = \frac{1}{j\omega C_f} \quad (8)$$

この重み付け器32の利得 G は(9)式で示される。

【0032】

【数6】

$$G = - \frac{\sum_i c_i}{c_f} \quad (9)$$

$$i \in \text{ON}$$

【0033】図7は図2の加算器33の回路例図であり、重み付け器32で重み付けされた出力は、図7の加算器32で合成され重み付け合成出力、すなわち擬似エコー b を得る。

【0034】次に、図1の減算器21について説明する。減算器21はアナログ回路によって実現されている。図8はアナログ減算器21の構成例図である。アナログ減算器21はオペアンプで構成できる公知の技術として知られている。この回路の出力電圧 V_{OUT} (=送話信号 c)は(10)式で表される。

【0035】

【数7】

$$V_{OUT} = \frac{Z_2}{Z_1} (V_{in1} - V_{in2}) \quad (10)$$

ここで、 $Z_1 = Z_2$ とすると

$$V_{OUT} = V_{in1} - V_{in2} \quad (11)$$

となり減算器が構成できる。

【0036】

【発明の効果】以上述べたように、本発明によれば、エコーを伴った送話信号 a からエコーを取り除くエコーキャンセラを構成する場合において、アナログ回路を用いることで、残響時間が多く膨大なタップ長を要する音響エコーをキャンセルする場合でも、タップ長に起因する演算処理量の増加が少なく処理時間を短縮でき、消費電力も抑えられるので実用上の効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明の要部をなすアナログ重み付け合成器の回路構成例図である。

【図3】本発明のアナログ遅延回路の構成例図である。

【図4】本発明の遅延器の構成例及びバッファの構成例図である。

【図5】図4の回路の動作波形例図である。

【図6】本発明の重み付け器の回路例図である。

【図7】本発明の重み付け器の出力加算器の回路例図である。

【図8】本発明のアナログ減算器の回路例図である。

【図9】電話網における回線エコーの説明図である。

【図10】拡声系通信における音響エコーの説明図である。

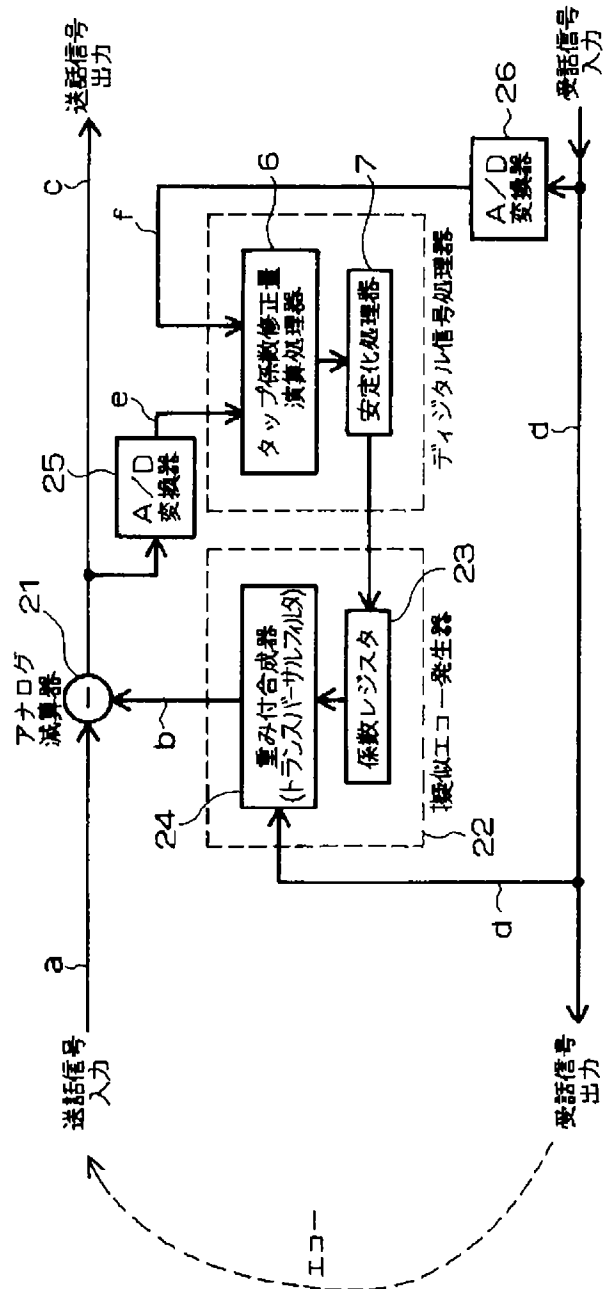
【図11】エコーキャンセラの原理説明図である。

【図12】従来の回線エコーキャンセラの回路構成例図である。

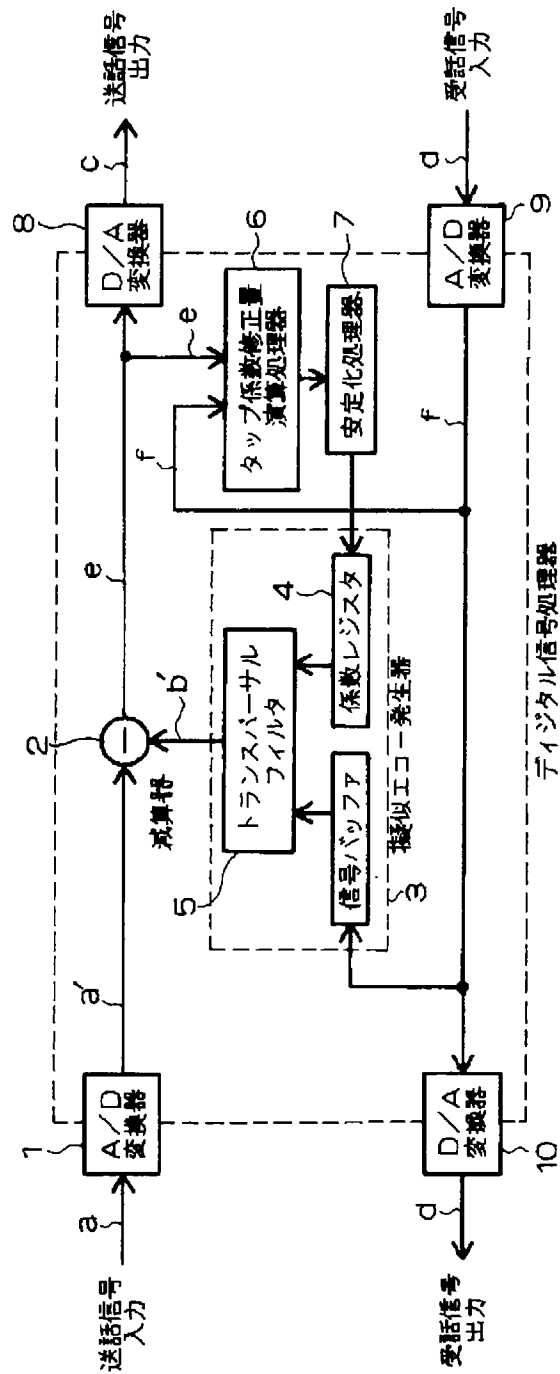
【符号の説明】

- 1, 9 A/D変換器
- 2 減算器
- 3 擬似エコー発生器
- 4 係数レジスタ
- 5 トランスバーサルフィルタ
- 6 タップ係数修正量演算処理器
- 7 安定化処理器
- 8, 10 D/A変換器
- 21 アナログ減算器
- 22 擬似エコー発生器
- 23 係数レジスタ
- 24 重み付け合成器
- 25 A/D変換器
- 26 A/D変換器
- 31 遅延回路
- 32 重み付け器
- 33 加算器
- 40 バッファ
- 41, 42, 43 サンプルホールド回路(遅延器)

【図1】

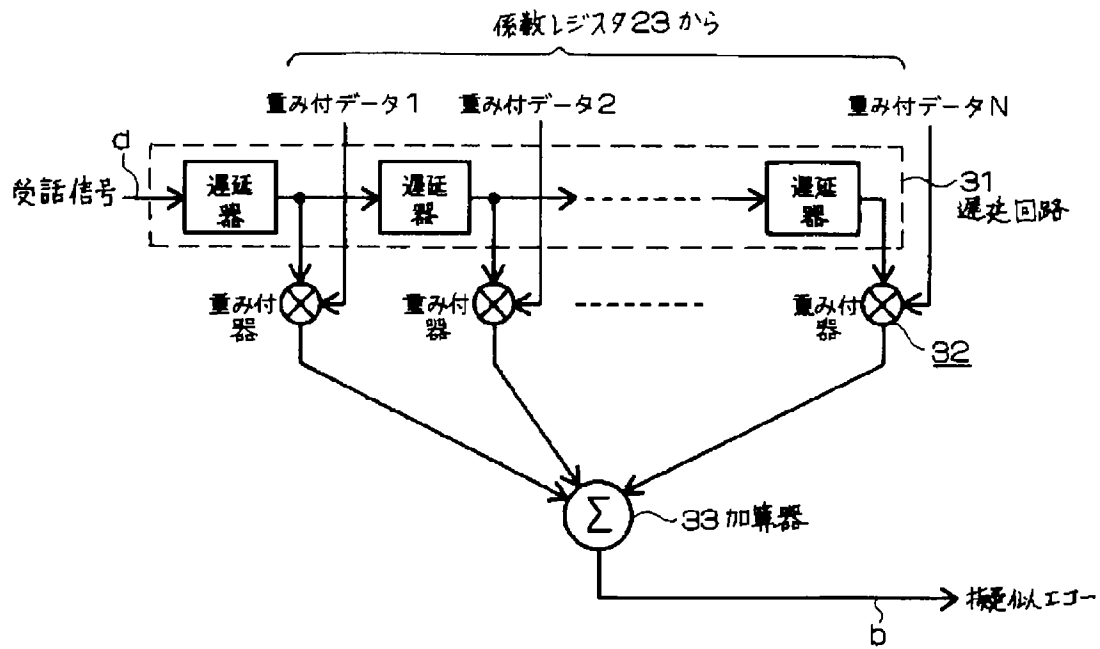


【図12】



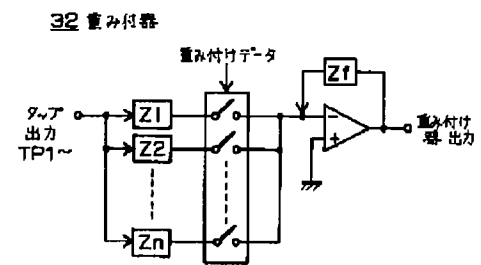
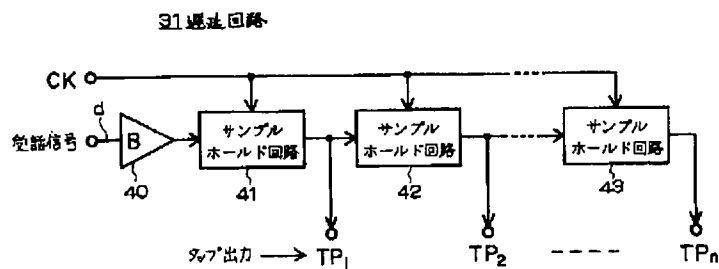
【図2】

24 重み付合成器



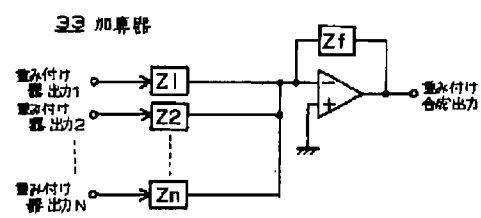
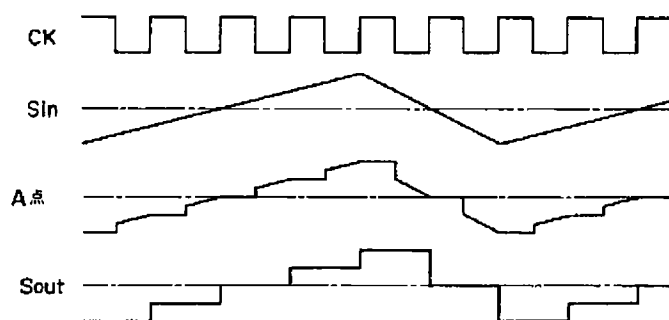
【図3】

【図6】

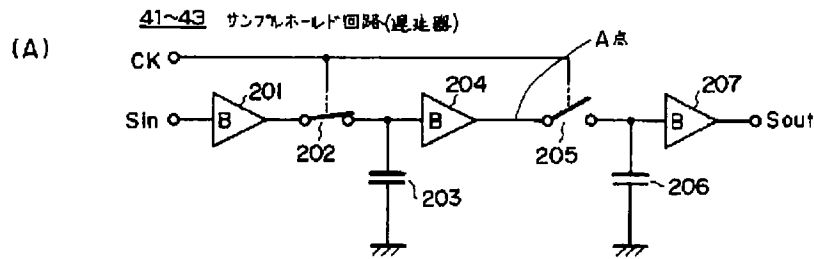


【図5】

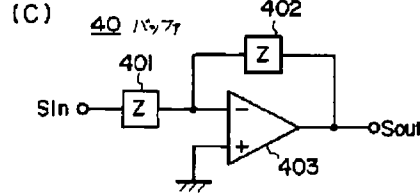
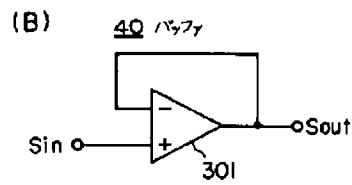
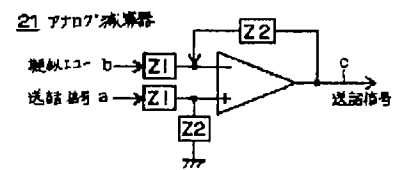
【図7】



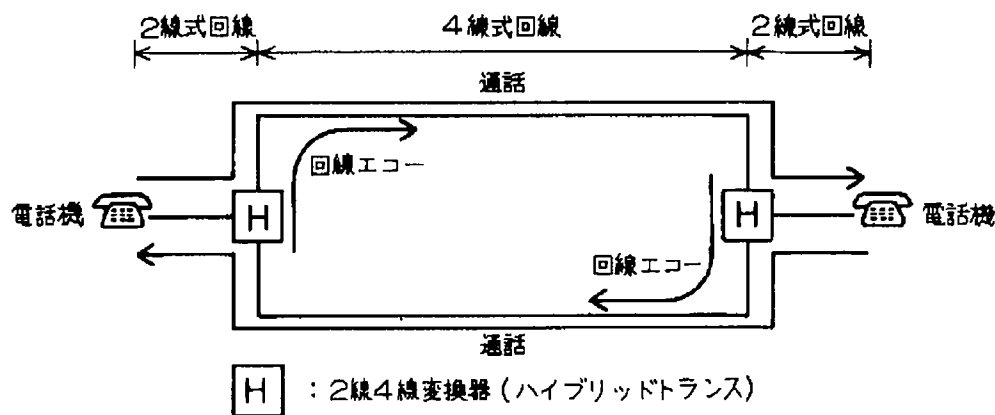
【図4】



【図8】



【図9】



【図10】

【図11】

